

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-103154  
 (43)Date of publication of application : 06.04.1992

(51)Int.Cl. H01L 23/50

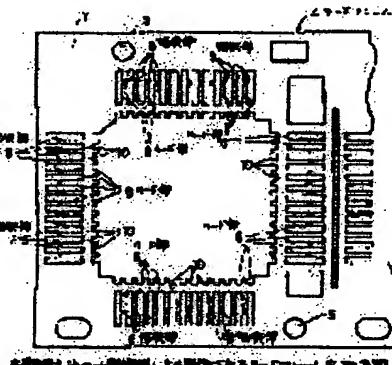
(21)Application number : 02-221811 (71)Applicant : FUJITSU LTD  
 SHINKO ELECTRIC IND CO LTD  
 (22)Date of filing : 23.08.1990 (72)Inventor : YOSHIMOTO MASANORI  
 MASAKI KEIICHI

## (54) SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND MOUNTING METHOD THEREOF

### (57)Abstract:

**PURPOSE:** To enable a semiconductor device to be improved in solderability and mounting properties by a method wherein a narrow part is provided to a part of a lead where leads are cut off.

**CONSTITUTION:** A narrow part 8 is provided to the tip of a lead 6, and the narrow parts 8 constitutes a surface treated layer 12. The top end face of the leads 6 vertical to the longitudinal direction of the leads 6 enable the lower face of the surface treated layer 12 to be exposed. Furthermore, the narrow part 8 is provided to a part of a lead frame 4 where the lead 6 is cut off. In succession, the surface treated layer 12 is provided to the lead 6 of the lead frame 4, and the lead 6 is cut off at the narrow part 8. Furthermore, the narrow part 8 is provided to a part of the lead frame 4 where the lead 6 is cut off, the surface treated layer 12 is formed on the lead frame 4. The lead 6 is cut off at the narrow part 8. By this setup, When a semiconductor device 9 provided with leads 6 is mounted on a prescribed board by soldering, the surface treated layer 12 is brought into contact with solder, so that the semiconductor device can be improved in solderability.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑯日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

平4-103154

⑬Int.Cl.<sup>5</sup>  
H 01 L 23/50

識別記号  
D  
N

府内整理番号  
9054-4M  
9054-4M

⑭公開 平成4年(1992)4月6日

審査請求 未請求 請求項の数 3 (全5頁)

⑮発明の名称 半導体装置及びその製造方法及びその実装方法

⑯特 願 平2-221811

⑰出 願 平2(1990)8月23日

⑱発明者 吉本 正則 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲発明者 政木 慶一 長野県長野市大字栗田字舍利田711番地 新光電気工業株  
式会社内

⑳出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑出願人 新光電気工業株式会社 長野県長野市大字栗田字舍利田711番地

㉒代理人 弁理士 伊東 忠彦 外2名

明細書

1. 発明の名称

半導体装置及びその製造方法及びその実装方法

することを特徴とする半導体装置の製造方法。

(3) リードフレーム(4)のリード切断位置に幅狭部(8)を形成する工程と、

該リードフレーム(4)に表面処理層(12)を形成する工程と、

該幅狭部(8)でリード切断を行う工程とを有し、

該リード(6)を有する半導体装置(9)を所定の基板に半田付けにより実装する際、該表面処理層(12)と半田とが接することにより、半田付け性を向上させるようにしたことを特徴とする半導体装置の実装方法。

2. 特許請求の範囲

(1) 表面に表面処理層(12)を形成したリード(6)を有する半導体装置において、

該リード(6)の先端には幅狭部(8)が設けられ、該幅狭部(8)は該表面処理層(12)が形成され、

該リード(6)の長手方向と直交するリード先端面は、該表面処理層(12)の下の面が露出していることを特徴とする半導体装置。

(2) リードフレーム(4)のリード切断位置に幅狭部(8)を形成する工程と、

該リードフレーム(4)の少なくともリード部(6)に表面処理層(12)を形成する工程と、該幅狭部(8)でリード切断を行う工程とを有

3. 発明の詳細な説明

〔概要〕

半田メッキ処理後にリード切断を行うリードフレームの製造方法に関し、

半田付け性及び実装性の向上を図ることを目的とし、

表面に表面処理層を形成したリードを有する半導体装置において、該リードの先端には幅狭部が設けられ、該幅狭部は該表面処理層が形成され、該リードの長手方向と直交するリード先端面は、該表面処理層の下の面が露出した構成とする。

## 〔産業上の利用分野〕

本発明はリードフレームの製造方法に係り、特に半田メッキ処理後にリード切断を行うリードフレームの製造方法に関する。

近年、半導体装置は多ピン化、微細化の傾向にあり、より高度な実装技術が要求されている。

このため各種の実装機器が提供されているが、実装機器の改良だけでは高密度実装に対応出来なくなってきた。

そこで、リード構造の面から半導体装置の実装性を向上させることが望まれている。

## 〔従来の技術〕

第7図は、従来におけるリードフレームの製造

された後に行われるため、リード切断面は半田メッキがされていない状態となる。また、その切断面の面積はリードの断面積と等しくなり、広い面積となる。一方、一般にリードフレームはFe-Ni等の半田濡れ性の不良な材質により構成されている。よって、従来のリードフレームの製造方法では、リード先端部（リード切断部）に半田濡れ性の不良な部分が広く残存した構成となるため、半田付け性が悪くなり、これに伴い半導体装置の実装性が低下してしまうという課題があった。

本発明は上記の点に鑑みてなされたものであり、半田付け性及び実装性の向上を図りうる半導体装置及びその製造方法及びその実装方法を提供することを目的とする。

## 〔課題を解決するための手段〕

上記課題を解決するために、本発明方法では、表面に表面処理層1・2を形成したリード6を有する半導体装置において、

上記リード6の先端には幅狭部8が設けられ、

方法にて製造されたリードフレームを用いた半導体装置1の一例を示している。同図において、2は半導体装置本体、3は複数のリードを示している。

従来、リードフレームを製造するには、先ず板状基材にプレス加工を行い所定形状のリードフレームを形成し、このリードフレーム上に半導体チップを配設した上でトランスファモールドを行い樹脂封止を行う。続いてモールド部分から外方に延出したリード部（この状態では、まだ外枠と接続された状態である）に半田メッキを実施し、最後にこの半田メッキが行われたリード部を外枠から切断することにより製造されていた。尚、この切断工程は、リード部を固定治具により固定した状態でカッタを用いて切断するため、その切り口は第8図に拡大して示すように垂直に切断された切り口（斜線で示す）となる。

## 〔発明が解決しようとする課題〕

上記のように、リード切断は半田メッキが実施

この幅狭部8は上記表面処理層1・2が形成され、上記リード6の長手方向と直交するリード先端面は、表面処理層1・2の下の面が露出した構成としたことを特徴とするものである。

更に、リードフレーム4のリード切断位置に幅狭部8を形成する工程と、

リードフレーム4の少なくともリード部6に表面処理層1・2を形成する工程と、

上記幅狭部8でリード切断を行う工程とを有することを特徴とするものである。

更に、リードフレーム4のリード切断位置に幅狭部8を形成する工程と、

このリードフレーム4に表面処理層1・2を形成する工程と、

上記幅狭部8でリード切断を行う工程とを有し、リード6を有する半導体装置9を所定の基板に半田付けにより実装する際、上記表面処理層1・2と半田とが接することにより、半田付け性を向上させるようにしたことを特徴とするものである。

## 〔作用〕

上記構成の各発明によればリード切断位置に幅狭部が形成されるため、リード切断後における切断面積がリードの断面積に対して小さくなる。即ち、半田濡れ性の不良な部分の面積を小さくすることができるため、半田付け性の向上を図ることができ、これに伴い半導体装置の実装性も向上させることができる。

## 〔実施例〕

次に本発明方法の一実施例について説明する。

第1図は本発明方法により製造されるリードフレーム4を示している。同図に示すリードフレーム4は、例えば厚さ0.2mmのFe-Ni板をプレス加工により打ち抜いたものであり、外枠7内にガイド用孔5、複数のリード部6、図示しないダイボンディング等が形成されている。

また複数のリード部6には夫々、本発明の特徴となる幅狭部8が形成されている。この幅狭部8は、上記プレス加工時に使用される金型を若干変

け延出し、その外側に外枠7が位置した構成となっている。統いて、上記のリードフレーム4には半田メッキ処理が行われ、表面処理層12（第5図に詳しい）が形成される。この半田メッキ処理は、例えばハンダディップ処理により行われる。尚、この表面処理層12は半田メッキに代えて銀メッキを施しても良く、また表面処理層12の形成はリードフレーム4の全体に施す必要は必ずしもなく、少なくともリード部6上に形成されればよい。更に言えば、リード部6の長手方向と直交するリード先端面において、その下面にのみ表面処理層12が形成された構成とすればよい。

この処理により、半導体装置本体9の4側面から延出したリード部6及び枠体7表面には半田よりなる表面処理層12が形成される。この際、半田はリード部6の全周にわたり被覆され、よって幅狭部8の半円状に切り欠かれた部分の内側まで半田メッキがされる。

この半田メッキ処理が終了すると、統いてリード切断処理が実施され、外枠7が切り離される。

更するだけで形成することができる。よって、幅狭部8の形成は容易であり、他の構成部分の形成と同時にを行うことができる。

この幅狭部8を第2図に拡大して示す。同図に示すように、幅狭部8はその両側より半円状に切欠凹部を形成した構造となっている。また幅狭部8の形成位置は、後に行われるリード切断工程において、リード切断が行われる位置に選定されている。

上記リードフレーム4には、周知の方法で半導体チップがダイボンディング状に配設され、各リード部の内側端部と半導体チップ間でワイヤボンディングが行われた後、エポキシ樹脂等を用いてトランスファモールドを行い半導体チップを樹脂封止する（このトランスファモールドを行なった部分を半導体装置本体という）。

上記トランスファモールドの実施後のリードフレーム4を第3図に示す。同図に示すように、トランスファモールドの実施後の状態では、半導体装置本体9の四側面から各リード部6が外方に向

この際、前記のようにリード切断位置は幅狭部8の形成位置と等しいため、この幅狭部8の形成位置でリード切断処理が実施される（外枠7が取り去られたリード部を単にリード6という）。尚、このリード切断処理時に隣接する各リード6のピッチを保持していた連結部10も除去される。

統いて、このリード6に対し折り曲げ処理が行われ、半導体装置が形成される。

ここで、上記のように形成された半導体装置11の一部分を第4図に拡大して示し、更にリード6の先端部近傍を第5図に拡大して示す。

各図に示されるように、幅狭部8でリード切断が行われることにより、切断面積はリード6の断面積に比べて小さい面積となっており、相対的に表面処理層12が形成されている面積が広くなっている。即ち、半田濡れ性の良好な半田メッキ部分の面積が広くなってしまい、逆に半田濡れ性の不良なリード6の材料（Fe-Ni）が露出した面積が狭くなる。また、回路基板（図示せず）に半導体装置11を実装するために半田付け処理が実施され

るのはリード6の先端部分である。これにより、リード6と回路基板との半田付け性を向上させることができる。この際、特にリード6と回路基板との半田付け性に影響を及ぼすのはリード6の下面であり、当然この下面にも表面処理層12は形成されている。また、上記構成とすることにより、各リード6のピッチが小さい場合にも半田付け性が向上するため、確実に半田付け処理を行うことができ、よって半導体装置11の実装性をも向上させることができる。

尚、幅狭部の形状は第2図で示した形状に限られるものではなく、例えば第6図に夫々示すような形状としてもよい。第6図(A)に示す形状はリード6の両側より湾曲状部を形成したものである。また同図(B)に示す形状はリード6の両側より三角形状の切欠を形成したものである。更に、同図(C)第8図はリード6内に円形の孔を形成したものである。このように、リード切断位置においてリード6の断面積を小さく出来る形状であれば、本願の効果を奏すことができる。よって、

切欠の形成に限らず、プレス加工によりリードを塑性変形させることにより幅狭部を形成してもよい。

#### 〔発明の効果〕

上述のように、本発明によれば、リード切断位置に幅狭部が形成されるため、リード切断後における切断面積がリードの断面積に対して小さくなり、よって半田濡れ性の不良な部分の面積を小さくすることができるため、半田付け性の向上を図ることができ、これに伴い半導体装置の実装性も向上させることができる等の特長を有する。

#### 4. 図面の簡単な説明

第1図は本発明方法の一実施例により製造されるリードフレームを示す図、

第2図は幅狭部を拡大して示す図、

第3図は半導体装置本体が形成されたリードフレームを示す図、

第4図は製造された半導体装置の一部を拡大し

て示す図、

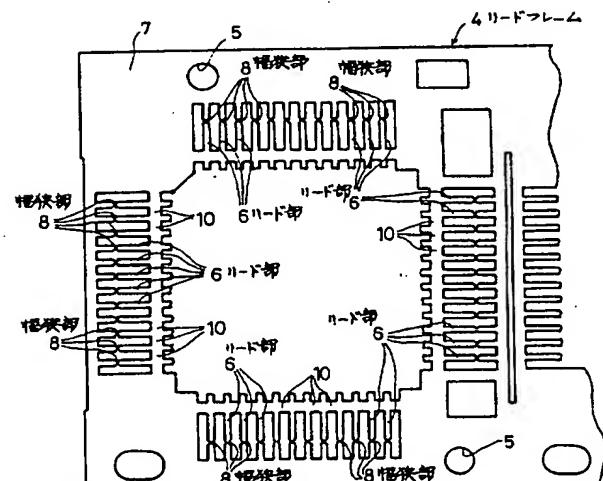
第5図は第4図のリード先端部を拡大して示す図、

第6図は幅狭部の変形例を示す図、

第7図及び第8図は従来のリードフレームの製造方法の一例を説明するための図である。

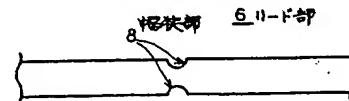
図において、

- 4はリードフレーム、
  - 6はリード(リード部)、
  - 8は幅狭部、
  - 9は半導体装置本体、
  - 11は半導体装置、
  - 12は表面処理層
- を示す。



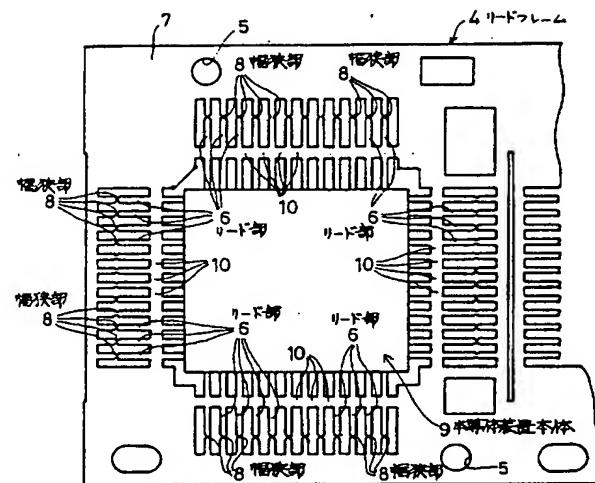
本発明方法の一実施例により製造されるリードフレームを示す図

第1図



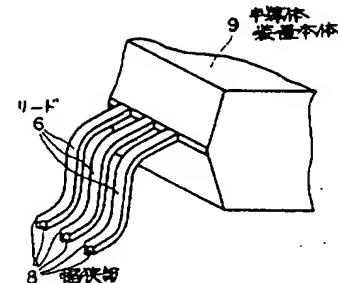
幅狭部を拡大して示す図

第2図



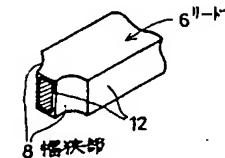
半導体装置本体が形成されたリードフレームを示す図

第3図



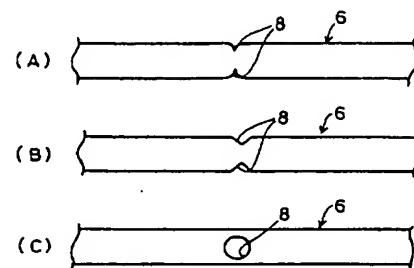
本発明の一実施であるリードフレームの  
製造方法により製造されたリードを示す図

第4図



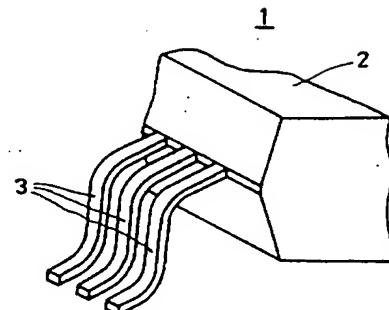
第4図に示すリード近傍を  
拡大して示す図

第5図



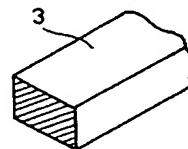
幅狭部の変形例を示す図

第6図



従来のリードフレームの製造方法により  
製造されたリードを示す図

第7図



第7図に示すリード近傍を  
拡大して示す図

第8図